Attorney Docket: 19546.0043

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:	:	
Masato Yoshioka et al.	:	
Application. No.: TBD	:	Group Art Unit: TBD
Filed: December 10, 2003	:	Examiner: TBD

Title: INTEGRATED CIRCUIT AND A/D CONVERSION CIRCUIT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

A certified copy of corresponding Japanese Application No. 2002-362471, filed December 13, 2002 is attached. It is requested that the right of priority provided by 35 U.S.C. 119 be extended by the U.S. Patent and Trademark Office.

Respectfully submitted,

Date: December 10, 2003

Michael A. Schwartz, Reg. No. 40,161
Swidler Berlin Shereff Friedman, LLP
3000 K Street, NW, Suite 300
Washington, DC 20007-5116
Telephone: (202) 424-7856
Facsimile: (202) 295-8478

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００２年１２月１３日

出願番号
Application Number: 特願２００２－３６２４７１

[ST. 10/C]: [ＪＰ２００２－３６２４７１]

出願人
Applicant(s): 富士通株式会社

２００３年１０月１５日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３０８４５４２

【書類名】　特許願

【整理番号】　0241530

【提出日】　平成14年12月13日

【あて先】　特許庁長官　太田　信一郎　殿

【国際特許分類】　H02M　3/00

H03M　1/00

【発明の名称】　集積回路及びＡ／Ｄ変換回路

【請求項の数】　10

【発明者】

【住所又は居所】　神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

【氏名】　吉岡　正人

【発明者】

【住所又は居所】　神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

【氏名】　後藤　邦彦

【発明者】

【住所又は居所】　神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

【氏名】　山▲崎▼　博

【発明者】

【住所又は居所】　神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

【氏名】　工藤　真大

【発明者】

【住所又は居所】　神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

【氏名】　中本　裕之

【特許出願人】

【識別番号】　000005223

【氏名又は名称】　富士通株式会社

【代理人】

【識別番号】　100070150

【住所又は居所】　東京都渋谷区恵比寿４丁目２０番３号　恵比寿ガーデンプレイスタワー３２階

【弁理士】

【氏名又は名称】　伊東　忠彦

【電話番号】　03-5424-2511

【手数料の表示】

【予納台帳番号】　002989

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　0114942

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】集積回路及びＡ／Ｄ変換回路

【特許請求の範囲】

【請求項１】デジタル信号に応じて第１のアナログ電圧と第２のアナログ電圧との重み付け和に対応する第１の電荷量を保持する内分回路と、

該第１のアナログ電圧と該第２のアナログ電圧との差に対応する第２の電荷量を保持する外分回路と、

該第１の電荷量と該第２の電荷量との和に応じて電圧を生成する増幅回路

を含み、該第１のアナログ電圧から該第２のアナログ電圧までの範囲外の電圧も生成することができることを特徴とする集積回路。

【請求項２】該第１のアナログ電圧と該第２のアナログ電圧との各々は非反転電圧と反転電圧との差動信号で表され、該増幅回路は非反転入力と反転入力とを備え、該外分回路は、該第１のアナログ電圧の非反転電圧と該第２のアナログ電圧の反転電圧との和に応じた電荷を該増幅回路の非反転入力に接続し、該第１のアナログ電圧の反転電圧と該第２のアナログ電圧の非反転電圧との和に応じた電荷を該増幅回路の反転入力に接続することを特徴とする請求項１記載の集積回路。

【請求項３】該外分回路と該増幅回路との間に接続され、該外分回路の保持する電荷を該増幅回路に接続する第１の状態と、該外分回路の保持する電荷の符号を反転させて該増幅回路に接続する第２の状態とを有するセレクタ回路を更に含むことを特徴とする請求項１記載の集積回路。

【請求項４】該セレクタ回路は、該外分回路の保持する電荷を該増幅回路に接続しない第３の状態を更に含むことを特徴とする請求項３記載の集積回路。

【請求項５】該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも１つの容量素子

を含むことを特徴とする請求項１記載の集積回路。

【請求項６】該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも１つのスイッチ素子

を含むことを特徴とする請求項１記載の集積回路。

【請求項７】該内分回路は、

複数の容量素子と、

複数のスイッチ素子

を含み、第１の期間で該デジタル信号に応じて該複数の容量素子を該第１のアナログ電圧と第２のアナログ電圧の何れかに接続して該複数の容量素子に電荷を蓄積し、第２の期間で該容量素子に蓄積された電荷に対応する電位を出力することを特徴とする請求項１記載の集積回路。

【請求項８】該外分回路は、

少なくとも１つの容量素子と、

複数のスイッチ素子

を含み、第１の期間で該少なくとも１つの容量素子に該第１のアナログ電圧と該第２のアナログ電圧との差に対応する電荷を蓄積し、第２の期間で該少なくとも１つの容量素子に蓄積された電荷に対応する電位を出力することを特徴とする請求項１記載の集積回路。

【請求項９】該外分回路は複数個設けられ、制御信号に応じて該複数の外分回路のうちの指定の個数の外分回路が駆動されることを特徴とする請求項１記載の集積回路。

【請求項１０】デジタル信号に応じて第１のアナログ電圧と第２のアナログ電圧との重み付け和に対応する第１の電荷量を保持する内分回路と、

該第１のアナログ電圧と該第２のアナログ電圧との差に対応する第２の電荷量を保持する外分回路と、

該第１の電荷量と該第２の電荷量との和に応じて電圧を生成する増幅回路

からなる該第１のアナログ電圧から該第２のアナログ電圧までの範囲外の電圧も生成することができる回路を２つ含み、２つのデジタル制御信号に応じて、２つのアナログ入力電圧間の隣接する２つの内分／外分電圧を出力する回路ブロックを含むことを特徴とするＡ／Ｄ変換回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、一般に集積回路に関し、詳しくはスイッチトキャパシタ回路を使用した集積回路及びＡ／Ｄ変換回路に関する。

【従来の技術】

スイッチトキャパシタ回路は、高精度且つ低消費電力のＤ／Ａ変換回路、Ａ／Ｄ変換回路、フィルタ等に広く用いられる要素回路技術である。

【０００２】

スイッチトキャパシタ回路を用いたＤ／Ａ変換回路の従来技術が、例えば特許文献１に示される。この回路は、第１の期間において、－１又は１の値をとるデジタル信号S_1乃至S_iに応じてV_{r+}及びV_{r-}の何れかの電荷をｉ個のユニット容量Ｃに保持し、第２の期間において、

$$V_r\ (S_i+S_{i-1}+\cdots+S_1)/i$$

の電圧（V_rはV_{r+}の絶対値又はV_{r-}の絶対値）を出力する。これにより、V_{r+}及びV_{r-}間の内分電圧を生成する。

【０００３】

また特許文献２には、２つの差動増幅器と抵抗列とを用いて抵抗分圧し、分圧後の電圧レベルを組み合わせることにより、２つのアナログ電圧Ｖ１及びＶ２に対する内分電圧だけでなく、電圧Ｖ１及びＶ２に対する外分電圧（電圧Ｖ１及びＶ２の範囲外の電圧）をも生成する回路が示される。

【０００４】

【特許文献１】

特開平１１－５５１２１号公報

【０００５】

【特許文献２】

特開平６－１５２４１３号公報

【発明が解決しようとする課題】

上位ビットに対応する比較器の結果を用いて下位ビットの変換用のアナログ電圧を生成するようなＡ／Ｄ変換回路（例えば補間型等）においては、比較器のオフセットによる判定誤差の影響を低減するために、選択範囲に冗長性を持たせる

ことが一般的である。そのような回路においては、冗長範囲の電圧即ち外分電圧をより簡単で低消費電力な回路構成で実現できることが望まれる。

【０００６】

特許文献１に示す技術は、外分電圧を生成することができない。特許文献２に示す技術は、外分電圧を生成することができるが、アンプを２つ必要とし結線も複雑であるために、消費電力及び回路面積の面において不利である。更に、抵抗素子の抵抗値は一般にばらつきが大きいので、生成される分圧電圧の精度に問題がある。

【０００７】

以上を鑑みて、本発明は、高精度に外分電圧を生成できる低消費電力且つ小面積な集積回路を提供することを目的とする。

【課題を解決するための手段】

本発明による集積回路は、デジタル信号に応じて第１のアナログ電圧と第２のアナログ電圧との重み付け和に対応する第１の電荷量を保持する内分回路と、該第１のアナログ電圧と該第２のアナログ電圧との差に対応する第２の電荷量を保持する外分回路と、該第１の電荷量と該第２の電荷量との和に応じて電圧を生成する増幅回路を含み、該第１のアナログ電圧から該第２のアナログ電圧までの範囲外の電圧も生成することができることを特徴とする。

【０００８】

上記説明による集積回路においては、第１のアナログ電圧から第２のアナログ電圧までの範囲を分圧した内分電圧に対応する電荷を内分回路により保持し、第１のアナログ電圧と第２のアナログ電圧との差に対応する電荷を外分回路により保持し、これらの電荷を結合して得られる電圧を増幅器により生成することで、内分電圧に所定の電位を加算して外分電圧を生成することができる。従って、ばらつきの少ない容量素子を用いて分圧し、且つ簡単な回路構成で外分電圧を生成することが可能となり、高精度に外分電圧を生成できる低消費電力且つ小面積な集積回路を提供することができる。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【０００９】

図１は、本発明によるスイッチトキャパシタ回路の一実施例を示す図である。

【００１０】

図１のスイッチトキャパシタ回路１０は、正側内分回路１１－１、負側内分回路１１－２、外分回路１２、及び増幅回路１３を含む。正側内分回路１１－１と負側内分回路１１－２とは同一の構成であり、図１において負側内分回路１１－２の内部構成は省略して示してある。スイッチトキャパシタ回路１０は、第１の入力電圧V_1と第２の入力電圧V_2とを受け取る。V_1は２つの差動信号の差$V_1^+ - V_1^-$として表現され、V_2は２つの差動信号の差$V_2^+ - V_2^-$として表現される。正側内分回路１１－１は、正側の信号V_1^+及びV_2^+を受け取り正側の電位についての内分電圧に対応する電荷を保持し、負側内分回路１１－２は、負側の信号V_1^-及びV_2^-を受け取り負側の電位についての内分電圧に対応する電荷を保持する。電荷を保持する容量素子の一端は、正側内分回路１１－１及び負側内分回路１１－２の出力として、増幅回路１３の正負入力に接続される。

【００１１】

外分回路１２は、V_1^+、V_1^-、V_2^+、及びV_2^-を受け取り、内分電圧に加算されるべき電荷を保持する。電荷を保持する容量素子の一端は、出力として増幅回路１３に接続される。これにより、増幅回路１３の出力においては、正側内分回路１１－１及び負側内分回路１１－２が生成したV_1からV_2までの範囲に存在する内分電圧に対して、外分回路１２が生成した電圧が加算され、V_1からV_2までの範囲の外に位置する外分電圧を生成することができる。

【００１２】

正側内分回路１１－１（及び負側内分回路１１－２）は、容量回路２１－１乃至２１－４及び制御回路２２を含む。容量回路２１－１乃至２１－４は同一の構成である。正側内分回路１１－１においては、容量回路２１－１乃至２１－４の各々が正側の信号V_1^+及びV_2^+を受け取る。負側内分回路１１－２においては、容量回路２１－１乃至２１－４の各々が負側の信号V_1^-及びV_2^-を受け取る。なお正側内分回路１１－１及び負側内分回路１１－２の端子Ｂは、所定の

固定電位に接続されるか又は開放状態とされる。

【００１３】

図１において、容量回路２１－１乃至２１－４の数は４つとして示されるが、これは入力電圧V_1及びV_2間を４分割して内分電圧を生成する構成に対応するものであり、必要に応じて４つ以下或いは４つ以上の数であって構わない。例えば、入力電圧V_1及びV_2間を８分割して内分電圧を生成する場合には、８つの容量回路を設けるように構成すればよい。

【００１４】

容量回路２１－１は、コンデンサ２３及びスイッチ２４乃至２６を含む。容量回路２１－２乃至２１－４についても同一の構成である。コンデンサ２３の容量値はＣｐである。制御回路２２が、外部からデジタル信号Ｄとタイミング信号Ｃとを受け取り、これら受け取った信号に基づいて、容量回路２１－１乃至２１－４におけるスイッチ２４乃至２６の接続を制御する。

【００１５】

容量回路２１－１において、スイッチ２４の接続は、デジタル信号D_1の値で決定される。D_1が“１”の時に端子Ａ２側に接続され、D_1が“０”の時に端子Ａ１側に接続される。また他の容量回路２１－２乃至２１－４において、スイッチ２４の接続は、それぞれデジタル信号D_2乃至D_4の“１”又は“０”によって同様に制御される。

【００１６】

スイッチ２５の接続は、タイミング信号$\phi 2$により決定される。$\phi 2$がＬＯＷの時にスイッチ２４側に接続され、$\phi 2$がＨＩＧＨの時に端子Ｂ側に接続される。スイッチ２６の接続は、タイミング信号$\phi 1$により決定される。$\phi 1$がＨＩＧＨの時に固定電圧側に接続され、$\phi 1$がＬＯＷの時に出力端子側（増幅回路１３のｚｐ側）に接続される。

【００１７】

図２は、タイミング信号$\phi 1$と$\phi 2$とのタイミング関係を示す図である。図に示されるように、タイミング信号$\phi 1$及び$\phi 2$は第１の期間でそれぞれＨＩＧＨ及びＬＯＷであり、第２の期間でそれぞれＬＯＷ及びＨＩＧＨである。このタイ

ミング関係を図１の容量回路２１－１について見てみると、スイッチ２５及び２６は第１の期間で図１に示される接続状態にあり、第２の期間でそれぞれ逆側の端子に接続される。これにより、第１の期間でコンデンサ２３に蓄えられた電荷が、第２の期間で出力側（増幅回路１３側）へと接続されることになる。この電荷量は、デジタル信号D_1乃至D_4の値に応じて、各容量回路２１－１乃至２１－４毎に異なることになる。

【００１８】

これにより正側内分回路１１－１が出力する電位は、デジタル信号D_1乃至D_4のうちで“１”である信号の数に応じてV_1^+及びV_2^+を重み付けして加算した和となり、具体的には、V_1^+及びV_2^+の間を４分割した内分電圧となる。即ち、“１”である信号の数が０、１、２、３、及び４に応じて、出力電位はV_1^+、$(3V_1^+ + V_2^+)/4$、$(2V_1^+ + 2V_2^+)/4$、$(V_1^+ + 3V_2^+)/4$、及びV_2^+となる。また同様に負側内分回路１１－２が出力する電位は、デジタル信号D_1乃至D_4のうちで“１”である信号の数に応じてV_1^+及びV_2^+を重み付けして加算した和となり、具体的にはV_1^-及びV_2^-の間を４分割した内分電圧となる。

【００１９】

図１を参照し、外分回路１２は、容量回路３１－１及び３１－２と制御回路３２を含む。制御回路３２は、制御信号C_1及びクロック信号ＣＬＫを受け取り、これらの信号に基づいて容量回路３１－１及び３１－２を制御する。容量回路３１－１及び３１－２は同一の構成である。容量回路３１－１はV_1^+及びV_2^-を入力として受け取り、容量回路３１－２はV_1^-及びV_2^+を入力として受け取る。容量回路３１－１及び３１－２の双方において、これらの入力を入力Ａ１及びＡ２として示してある。

【００２０】

図３は、容量回路３１－１（又は３１－２）の構成を示す図である。容量回路３１－１は、容量回路３５－１及び３５－２を含む。容量回路３５－１及び３５－２は同一の構成である。容量回路３５－１は、上記入力Ａ１と所定の固定電位（又は開放）とを入力として受け取り、容量回路３５－２は、上記入力Ａ２と所

定の固定電位（又は開放）とを入力として受け取る。容量回路３５－１及び３５－２の双方において、これらの入力を入力１Ａ及び１Ｂとして示してある。

【００２１】

図４は、容量回路３５－１（又は３５－２）の構成を示す図である。容量回路３５－１は、コンデンサ５１及びスイッチ５２乃至５５を含む。コンデンサ５１の容量値はＣｐである。スイッチ５２乃至５５の接続は、制御回路３２から供給されるタイミング信号ϕ１及びϕ２によって制御される。タイミング信号ϕ１及びϕ２は、図２に示される信号であり、第１の期間でそれぞれＨＩＧＨ及びＬＯＷであり、第２の期間でそれぞれＬＯＷ及びＨＩＧＨである。

【００２２】

図４に示される各スイッチ５２乃至５５の接続状態は、第１の期間における状態を示しており、第２の期間においてはスイッチ５３及び５４は図示の接続端子と逆側の端子に接続され、スイッチ５５は閉じて導通状態にされる。このようにして、第１の期間で電荷を蓄えたコンデンサ５１の一端が、第２の期間で出力端子Ｏへと接続されることになる。この電荷に対応する電位は、容量回路３１－１の容量回路３５－１及び３５－２においてそれぞれV_1^+及びV_2^-であり、容量回路３１－２の容量回路３５－１及び３５－２においてそれぞれV_1^-及びV_2^+である。

【００２３】

従って増幅回路１３のｚｐ入力側には、外分回路１２からV_1^+及びV_2^-が供給され、ｚｍ入力側には外分回路１２からV_1^-及びV_2^+が供給される。

【００２４】

図１を参照して、増幅回路１３は、差動増幅器４１、スイッチ４２及び４３、及びコンデンサ４４及び４５を含む。スイッチ４２及び４３はタイミング信号ϕ１によって制御され、第１の期間において差動増幅器の入出力を短絡して同電位にし、第２の期間において開放される。この第２の期間において、容量４４及び４５と差動増幅器４１の入力側に接続される容量（正側内分回路１１－１、負側内分回路１１－２、及び外分回路１２内部の容量）との比率に従い、差動増幅器４１のゲインが所望の値に設定される。ここでコンデンサ４４及び４５の各々の

容量値は、正側内分回路１１－１、負側内分回路１１－２、及び外分回路１２で使用される容量値Ｃｐの４倍に設定される。

【００２５】

以上の構成により、増幅回路１３の出力には、図５に示されるような電圧が現れる。図５は、スイッチトキャパシタ回路１０へ供給する制御信号と、制御信号に応じて第１の期間に記憶される電圧と、その電圧に基づいて第２の期間において出力される差動出力電圧を示す表である。

【００２６】

制御信号C_1は外分処理を指示する信号であり、“１”の場合には外分回路１２が動作して、外分電圧を求めるために内分電圧に加算される電圧が生成される。外分回路１２が生成する電圧は、図５の表においてＭ２として示される。デジタル信号D_1乃至D_4は、正側内分回路１１－１及び負側内分回路１１－２が生成する内分電圧値を指定する信号であり、例えばD_1のみが“１”である場合には、$(3V_1+V_2)/4$に対応する内分電圧が生成される。また例えばD_1及びD_2のみが“１”である場合には、$(2V_1+2V_2)/4$に対応する内分電圧が生成される。正側内分回路１１－１及び負側内分回路１１－２が保持する電荷に対応する電圧値は、図５の表においてＭ１として示される。

【００２７】

増幅回路１３の出力は、図５の表においてＭ１（ｚｐ側）とＭ２（ｚｐ側）との和からＭ１（ｚｍ側）とＭ２（ｚｍ側）との和を引いて、更に１／４を掛けた電圧値となる。

【００２８】

このようにして制御信号C_1及びデジタル信号D_1乃至D_4に応じて、図５の最右欄に示されるような差動出力電圧が得られる。例えば、最上欄に示される出力電圧は$(5V_1-V_2)/4$であり、これは$V_1+(V_1-V_2)/4$に等しいので、V_1及びV_2間の４分割に等しい電圧分をＶ１の外側にとった電位が得られることになる。

【００２９】

図１の構成では、外分回路１２は１つとして示したが、複数の外分回路１２を

設けて、制御信号Ｃｎ（ｎ＝１，２，３，・・・）により各外分回路１２の駆動／非駆動を制御するようにしてもよい。外分回路１２を１つだけ設ける図１の構成の場合には、図５の表のように外分電圧は（５Ｖ$_1$－Ｖ$_2$）／４の一点しか生成することができないが、複数の外分回路１２を設ける構成とすれば、複数の外分電圧を生成することが可能となる。

【００３０】

図６は、図１に示すスイッチトキャパシタ回路１０の変形例を示す図である。図６において、図１と同一の構成要素は同一の番号で参照し、その説明は省略する。

【００３１】

図６のスイッチトキャパシタ回路１０Ａは、図１のスイッチトキャパシタ回路１０に対して、セレクタ回路１４が追加された構成となっている。セレクタ回路１４は、スイッチ６１及び６２を含む。スイッチ６１は、Ｃ$_1$・Ｓ$_1$・ϕ２が“１”であれば上側の端子（ｚｐ側）に接続され、Ｃ$_1$・Ｓ$_2$・ϕ２が“１”であれば下側の端子（ｚｍ側）に接続される。スイッチ６２は、Ｃ$_1$・Ｓ$_1$・ϕ２が“１”であれば下側の端子（ｚｍ側）に接続され、Ｃ$_1$・Ｓ$_2$・ϕ２が“１”であれば上側の端子（ｚｐ側）に接続される。Ｃ$_1$・Ｓ$_1$・ϕ２及びＣ$_1$・Ｓ$_2$・ϕ２が共に“０”である場合には、スイッチ６１及び６２は、何れの端子にも接続されない。

【００３２】

図７は、スイッチトキャパシタ回路１０Ａへ供給する制御信号と、制御信号に応じて第１の期間に記憶される電圧と、その電圧に基づいて第２の期間において出力される差動出力電圧を示す表である。

【００３３】

図７の表の最上段に示されるように、スイッチ制御信号Ｓ$_1$を“１”とすることで、Ｖ$_1$の外側の外分電圧Ｖ$_1$＋（Ｖ$_1$－Ｖ$_2$）／４を生成することができる。また更に表の最下段に示されるように、スイッチ制御信号Ｓ$_2$を“１”とすることで、Ｖ$_2$の外側の外分電圧Ｖ$_2$＋（Ｖ$_2$－Ｖ$_1$）／４を生成することができる。また更に表の２段目から６段目に示されるように、スイッチ制御信号Ｓ$_1$及

びＳ$_2$を共に“０”にすることで、外分回路１２を増幅回路１３から切り離して外分回路１２の出力電圧を加算しない構成とし、これによりＶ$_1$からＶ$_2$までの範囲を４分割した内分電圧を生成することができる。

【００３４】

このようにして図６のスイッチトキャパシタ回路１０Ａにおいては、セレクタ回路１４を設けることで、外分回路１２の出力の接続を自由に制御する。これにより、外分回路１２の出力電圧を加算方向に加える動作と、外分回路１２の出力電圧を減算方向に加える動作との選択が可能となり、入力電圧より高い電圧側と低い電圧側との両側において外分電圧を求めることが可能となる。

【００３５】

図８は、図１に示す容量回路２１－１の別の実施例を示す図である。

【００３６】

図８の容量回路２１－１Ａは、コンデンサ７１及びスイッチ７２乃至７４を含む。図１に示す容量回路２１－１と同様に、デジタル信号Ｄｎとタイミング信号φ１及びφ２とにより、スイッチ７２乃至７４の接続が制御される。これにより、図２に示される第１の期間において、デジタル信号Ｄｎに応じた電荷量がコンデンサ７１に蓄積され、第２の期間において、この電荷量を保持するコンデンサ７１の一端が出力端子Ｏに接続される。

【００３７】

図９は、図１に示す容量回路２１－１の更に別の実施例を示す図である。

【００３８】

図９の容量回路２１－１Ｂは、コンデンサ８１及びスイッチ８２及び８３を含む。図１に示す容量回路２１－１と同様に、デジタル信号Ｄｎとタイミング信号φ１及びφ２とにより、スイッチ８２及び８３の接続が制御される。これにより、図２に示される第１の期間において、デジタル信号Ｄｎに応じた電荷量がコンデンサ８１に蓄積され、第２の期間において、この電荷量に対応する電位が出力端子Ｏに出力される。

【００３９】

図１０は、図４に示す容量回路３５－１の別の実施例を示す図である。

【００４０】

図１０の容量回路３５－１Ａは、コンデンサ９１及びスイッチ９２乃至９４を含む。図４に示す容量回路３５－１と同様に、タイミング信号φ１及びφ２により、スイッチ９２乃至９４の接続が制御される。これにより、図２に示される第１の期間において、入力１Ａに応じた電荷量がコンデンサ９１に蓄積され、第２の期間において、この電荷量に対応する電位が出力端子Ｏに出力される。

【００４１】

図１１は、図４に示す容量回路３５－１の更に別の実施例を示す図である。

【００４２】

図１１の容量回路３５－１Ｂは、コンデンサ１０１及びスイッチ１０２及び１０３を含む。図４に示す容量回路３５－１と同様に、タイミング信号φ１及びφ２により、スイッチ１０２及び１０３の接続が制御される。これにより、図２に示される第１の期間において、入力１Ａに応じた電荷量がコンデンサ１０１に蓄積され、第２の期間において、この電荷量に対応する電位が出力端子Ｏに出力される。

【００４３】

図１２は、図１に示す増幅回路１３の別の実施例を示す図である。

【００４４】

図１２に示す増幅回路１３Ａは、差動増幅器１１１及びスイッチ１１２及び１１３を含む。スイッチ１１２及び１１３は、タイミング信号φ１又はφ２によって制御される。スイッチ１１２及び１１３は、図２に示す第１の期間で差動増幅器１１１の入出力を短絡して同電位に設定し、第２の期間で開放されて差動増幅器１１１の増幅動作を可能にする。

【００４５】

図１３は、図１に示す増幅回路１３の更なる別の実施例を示す図である。

【００４６】

図１３に示す増幅回路１３Ｂは、差動増幅器１２１、スイッチ１２２及び１２３、コンデンサ１２４及び１２５、及びスイッチ１２６乃至１２９を含む。スイッチ１２２及び１２３並びにスイッチ１２７及び１２９は、タイミング信号φ１

により制御され、第１の期間で短絡され第２の期間で開放される。スイッチ１２２及び１２３が第１の期間で短絡されると、差動増幅器１２１の入出力が短絡されて同電位に設定される。またスイッチ１２７及び１２９が第１の期間で短絡されると、差動増幅器１２１の短絡状態にある入出力電位がコンデンサ１２４及び１２５に蓄えられる。これにより、差動増幅器１２１のオフセットがコンデンサ１２４及び１２５に電圧差として保持されることになる。

【００４７】

第２の期間でスイッチ１２２、１２３、１２７及び１２９が開放され且つスイッチ１２６及び１２８が短絡されると、コンデンサ１２４及び１２５が保持する電位によって差動増幅器１２１のオフセットを相殺することができる。これにより正確な差動増幅動作を実現することが可能になる。

【００４８】

図１４は、図１に示す増幅回路１３の更なる別の実施例を示す図である。

【００４９】

図１４に示す増幅回路１３Ｃは、差動増幅器１３１及びコンデンサ１３２及び１３３を含む。コンデンサ１３２及び１３３は、図１に示す増幅回路１３のコンデンサ４４及び４５と同様に、差動増幅器１３１の入力側に接続される容量との比率に従って、差動増幅器１３１のゲインを所望の値に設定する。

【００５０】

以上の説明においては、差動信号に基づいて動作するスイッチトキャパシタ回路の構成について説明したが、本発明によるスイッチトキャパシタ回路は差動信号でなく単一信号により動作する構成とすることもできる。

【００５１】

図１５は、本発明による単一信号構成のスイッチトキャパシタ回路の構成を示す図である。

【００５２】

図１５のスイッチトキャパシタ回路１０Ｂは、内分回路１１Ｂ、外分回路１２Ｂ、及び増幅回路１３Ｂを含む。内分回路１１Ｂは、コンデンサ１５１及び１５２、スイッチ１５３乃至１５８を含む。スイッチ１５３は$D_1 \cdot \phi 1$が“１”の

ときに導通し、スイッチ１５４はD_{1b}・ϕ１が“１”のときに導通する。ここでデジタル信号D_1とD_{1b}とは互いに相補関係にある。スイッチ１５５はタイミング信号ϕ２により制御され、第２の期間に導通される。従って、第１の期間において、デジタル信号D_1に応じてV_1又はV_2に対応する電荷がコンデンサ１５１に蓄えられ、第２の期間においてこの電荷が増幅回路１３Ｂの入力端子に接続される。

【００５３】

またコンデンサ１５２及びスイッチ１５６乃至１５８についても同様の動作であり、デジタル信号D_0に応じてV_1又はV_2に対応する電荷がコンデンサ１５２に蓄えられ、第２の期間においてこの電荷が増幅回路１３Ｂの入力端子に接続される。なおここでコンデンサ１５１及び１５２の数は２つとしたが、これは入力V_1及びV_2間を２分割に内分する構成に対応するものであり、分割数に応じて２つ以上の数のコンデンサを設けてよい。

【００５４】

外分回路１２Ｂは、コンデンサ１６１及びスイッチ１６２乃至１６７を含む。スイッチ１６２及び１６３は、タイミング信号ϕ１により制御され、第１の期間で短絡される。これによりV_1とV_2の差分に等しい電圧がコンデンサ１６１に保持される。デジタル信号X_1及びX_2は、V_1の外側の外分電圧を求めるかV_2の外側の外分電圧を求めるかを指示する信号であり、何れか一方が“１”である場合に他方は“０”となる。X_1が“１”の場合には、第２の期間でスイッチ１６５及び１６７が導通しそれ以外のスイッチは開放状態となり、V_2-V_1に対応する電荷が増幅回路１３Ｂに接続される。X_2が“１”の場合には、第２の期間でスイッチ１６４及び１６６が導通しそれ以外のスイッチは開放状態となり、V_1-V_2に対応する電荷が増幅回路１３Ｂに接続される。

【００５５】

増幅回路１３Ｂは、差動増幅器１７１、コンデンサ１７２、及びスイッチ１７３を含む。スイッチ１７３はタイミング信号ϕ２によって制御され、第１の期間において差動増幅器の入出力を短絡して同電位にし、第２の期間において開放される。この第２の期間において、コンデンサ１７２の容量と差動増幅器１７１の

入力側に接続される容量との比率に従い、差動増幅器１７１のゲインが所望の値に設定される。ここでコンデンサ１７２の容量値は、内分回路１１Ｂ及び外分回路１２Ｂで使用される容量値Ｃｐの２倍に設定される。

【００５６】

上記の構成によって、内分回路１１ＢによりＶ$_1$とＶ$_2$の間を２分割した内分電圧を生成し、更に外分回路１２ＢによりＶ$_2$－Ｖ$_1$又はＶ$_1$－Ｖ$_2$を生成して内分電圧に選択的に加算する。これにより、Ｘ$_1$及びＸ$_2$を“０”とすることで、Ｖ$_1$、（Ｖ$_1$＋Ｖ$_2$）／２、及びＶ$_2$の内分電圧を増幅回路１３Ｂから出力することができる。またＸ$_1$を“１”として、例えばＶ$_2$＋（Ｖ$_2$－Ｖ$_1$）／２を増幅回路１３Ｂから出力したり、Ｘ$_2$を“１”として、例えばＶ$_1$＋（Ｖ$_1$－Ｖ$_2$）／２を増幅回路１３Ｂから出力したりすることができる。

【００５７】

図１６は、本発明によるスイッチトキャパシタ回路を使用したＡ／Ｄ変換器の構成の一例を示す図である。

【００５８】

図１６のＡ／Ｄ変換器は、サブＡ／Ｄ変換器１８１、エンコーダ１８２、及び２つのスイッチトキャパシタ回路１０を含む。入力Ｖ$_{i1}$及び入力Ｖ$_{i2}$は、各々が差動信号で構成される。なお差動信号でなく単一信号を用いる場合には、スイッチトキャパシタ回路１０ではなく図１５のスイッチトキャパシタ回路１０Ｂを用いればよい。図１６に示すのは、アナログ信号をデジタル信号に変換する際に、出力デジタル信号の全ビットのうちで一部分のビットを生成する一段分に相当し、図１６に示される回路が直列に複数段接続されることで、出力デジタル信号の全ビットを生成することができる。

【００５９】

入力Ｖ$_{i1}$及び入力Ｖ$_{i2}$は、それぞれが幅を有した信号である。サブＡ／Ｄ変換器１８１は入力Ｖ$_{i1}$の幅と入力Ｖ$_{i2}$の幅との比を検出することで、Ｖ$_{i1}$の上限とＶ$_{i2}$の下限の間の範囲で、両信号の境界位置を２値コードとして出力する。

【００６０】

例えばV_{i1}の上限とV_{i2}の下限の間の範囲を４分割し、各分割部分に下側から順番に“００”、“０１”、“１０”、及び“１１”としてコードを割り当てる。検出された境界位置が上から２番目の分割部分の範囲に含まれる場合には、サブＡ／Ｄ変換器１８１はコード“１０”を出力する。これがデジタルコード出力Ｂｎとして外部に出力される。

【００６１】

このデジタルコードＢｎに基づいて、エンコーダ１８２はデジタル信号D_{1n}及びD_{2n}を生成し、各スイッチトキャパシタ回路１０に供給する。図面上側のスイッチトキャパシタ回路１０は、デジタル信号D_{1n}に基づいて、コード“１０”に対応する範囲内で上記境界位置以上の領域に幅を有する信号V_{o1}を生成して出力する。また図面下側のスイッチトキャパシタ回路１０は、デジタル信号D_{2n}に基づいて、コード“１０”に対応する範囲内で上記境界位置以下の領域に幅を有する信号V_{o2}を生成して出力する。このようにして生成された信号V_{o1}とV_{o2}とは、次段のＡ／Ｄ変換器に供給され、更に下位のビットの値を決定する処理が実行される。

【００６２】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【００６３】

なお本発明は以下の内容を含むものである。

（付記１）デジタル信号に応じて第１のアナログ電圧と第２のアナログ電圧との重み付け和に対応する第１の電荷量を保持する内分回路と、

該第１のアナログ電圧と該第２のアナログ電圧との差に対応する第２の電荷量を保持する外分回路と、

該第１の電荷量と該第２の電荷量との和に応じて電圧を生成する増幅回路

を含み、該第１のアナログ電圧から該第２のアナログ電圧までの範囲外の電圧も生成することができることを特徴とする集積回路。

（付記２）該第１のアナログ電圧と該第２のアナログ電圧との各々は非反転電圧と反転電圧との差動信号で表され、該増幅回路は非反転入力と反転入力とを備え

、該外分回路は、該第１のアナログ電圧の非反転電圧と該第２のアナログ電圧の反転電圧との和に応じた電荷を該増幅回路の非反転入力に接続し、該第１のアナログ電圧の反転電圧と該第２のアナログ電圧の非反転電圧との和に応じた電荷を該増幅回路の反転入力に接続することを特徴とする付記１記載の集積回路。

（付記３）該外分回路と該増幅回路との間に接続され、該外分回路の保持する電荷を該増幅回路に接続する第１の状態と、該外分回路の保持する電荷の符号を反転させて該増幅回路に接続する第２の状態とを有するセレクタ回路を更に含むことを特徴とする付記１記載の集積回路。

（付記４）該セレクタ回路は、該外分回路の保持する電荷を該増幅回路に接続しない第３の状態を更に含むことを特徴とする付記３記載の集積回路。

（付記５）該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも１つの容量素子

を含むことを特徴とする付記１記載の集積回路。

（付記６）該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも１つのスイッチ素子

を含むことを特徴とする付記１記載の集積回路。

（付記７）該内分回路は、

複数の容量素子と、

複数のスイッチ素子

を含み、第１の期間で該デジタル信号に応じて該複数の容量素子を該第１のアナログ電圧と第２のアナログ電圧の何れかに接続して該複数の容量素子に電荷を蓄積し、第２の期間で該容量素子に蓄積された電荷に対応する電位を出力することを特徴とする付記１記載の集積回路。

（付記８）該外分回路は、

少なくとも１つの容量素子と、

複数のスイッチ素子

を含み、第１の期間で該少なくとも１つの容量素子に該第１のアナログ電圧と該

第２のアナログ電圧との差に対応する電荷を蓄積し、第２の期間で該少なくとも１つの容量素子に蓄積された電荷に対応する電位を出力することを特徴とする付記１記載の集積回路。

（付記９）該外分回路は複数個設けられ、制御信号に応じて該複数の外分回路のうちの指定の個数の外分回路が駆動されることを特徴とする付記１記載の集積回路。

（付記１０）デジタル信号に応じて第１のアナログ電圧と第２のアナログ電圧との重み付け和に対応する第１の電荷量を保持する内分回路と、

該第１のアナログ電圧と該第２のアナログ電圧との差に対応する第２の電荷量を保持する外分回路と、

該第１の電荷量と該第２の電荷量との和に応じて電圧を生成する増幅回路

からなる該第１のアナログ電圧から該第２のアナログ電圧までの範囲外の電圧も生成することができる回路を２つ含み、２つのデジタル制御信号に応じて、２つのアナログ入力電圧間の隣接する２つの内分／外分電圧を出力する回路ブロックを含むことを特徴とするＡ／Ｄ変換回路。

（付記１１）該増幅回路は、

増幅器と、

該増幅器の入出力間を接続する少なくとも１つのスイッチ素子と

該増幅器の入出力間に挿入される少なくとも１つの容量素子

を含むことを特徴とする付記１記載の集積回路。

【発明の効果】

上記説明による集積回路においては、第１のアナログ電圧から第２のアナログ電圧までの範囲を分圧した内分電圧に対応する電荷を内分回路により保持し、第１のアナログ電圧と第２のアナログ電圧との差に対応する電荷を外分回路により保持し、これらの電荷を結合して得られる電圧を増幅器により増幅することで、内分電圧に所定の電位を加算して外分電圧を生成することができる。従って、ばらつきの少ない容量素子を用いて分圧し、且つ簡単な回路構成で外分電圧を生成することが可能となり、高精度に外分電圧を生成できる低消費電力且つ小面積な集積回路を提供することができる。

【図面の簡単な説明】

【図１】

本発明によるスイッチトキャパシタ回路の一実施例を示す図である。

【図２】

タイミング信号φ１とφ２とのタイミング関係を示す図である。

【図３】

容量回路の構成を示す図である。

【図４】

容量回路の構成を示す図である。

【図５】

スイッチトキャパシタ回路へ供給する制御信号と、制御信号に応じて第１の期間に記憶される電圧と、その電圧に基づいて第２の期間において出力される差動出力電圧についての表を示す図である。

【図６】

図１に示すスイッチトキャパシタ回路の変形例を示す図である。

【図７】

図６のスイッチトキャパシタ回路へ供給する制御信号と、制御信号に応じて第１の期間に記憶される電圧と、その電圧に基づいて第２の期間において出力される差動出力電圧についての表を示す図である。

【図８】

図１に示す容量回路の別の実施例を示す図である。

【図９】

図１に示す容量回路の更に別の実施例を示す図である。

【図１０】

図４に示す容量回路の別の実施例を示す図である。

【図１１】

図４に示す容量回路の更に別の実施例を示す図である。

【図１２】

図１に示す増幅回路の別の実施例を示す図である。

【図１３】

図１に示す増幅回路の更なる別の実施例を示す図である。

【図１４】

図１に示す増幅回路の更なる別の実施例を示す図である。

【図１５】

本発明による単一信号構成のスイッチトキャパシタ回路の構成を示す図である。

【図１６】

本発明によるスイッチトキャパシタ回路を使用したＡ／Ｄ変換器の構成の一例を示す図である。

【符号の説明】

１０　スイッチトキャパシタ回路

１１－１　正側内分回路

１１－２　負側内分回路

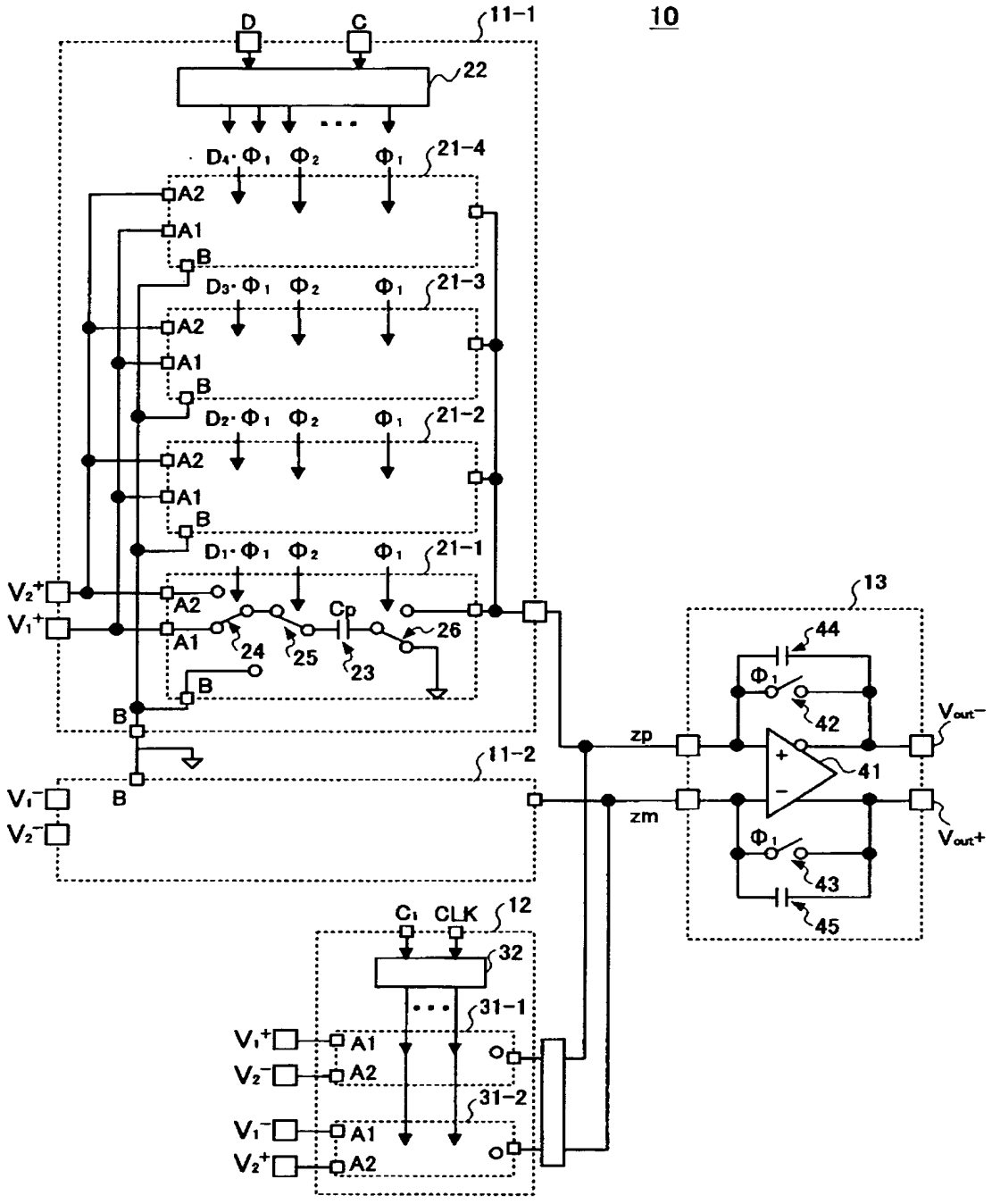
１２　外分回路

１３　増幅回路

【書類名】　図面

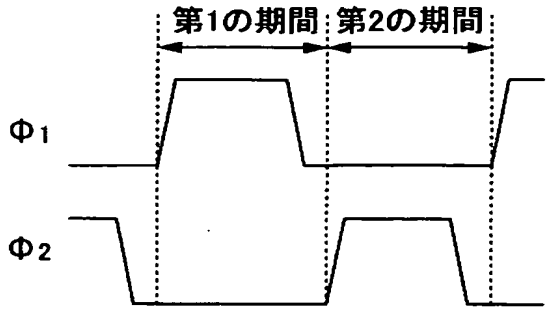
【図１】

本発明によるスイッチトキャパシタ回路の一実施例を示す図



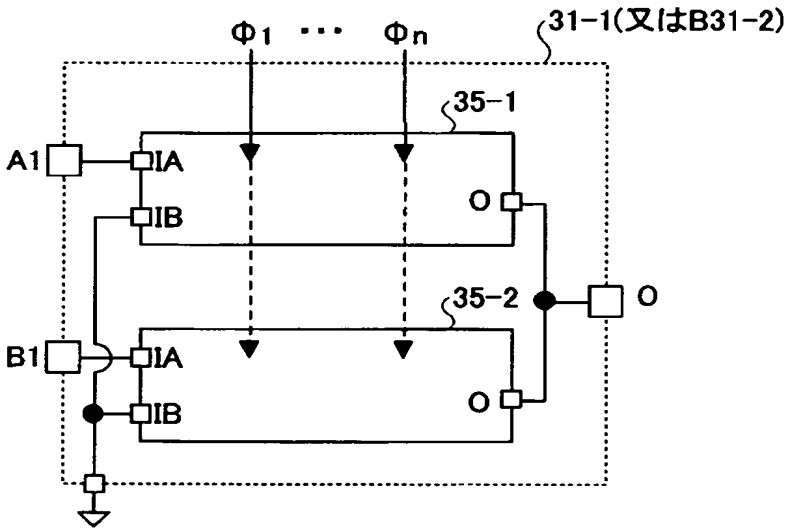
【図２】

タイミング信号φ１とφ２とのタイミング関係を示す図



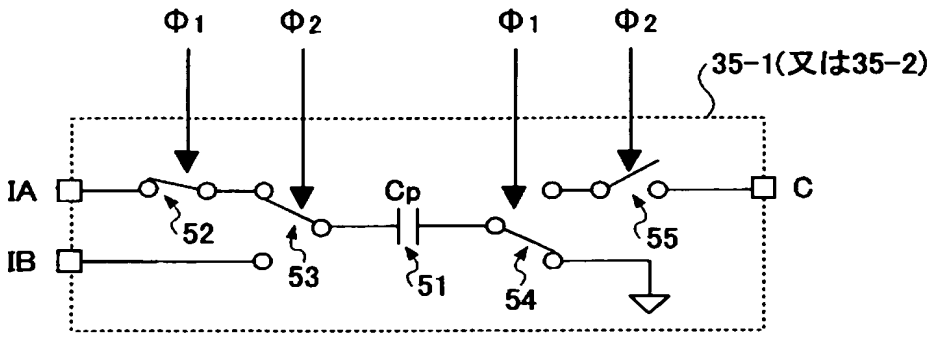
【図３】

容量回路の構成を示す図



【図４】

容量回路の構成を示す図



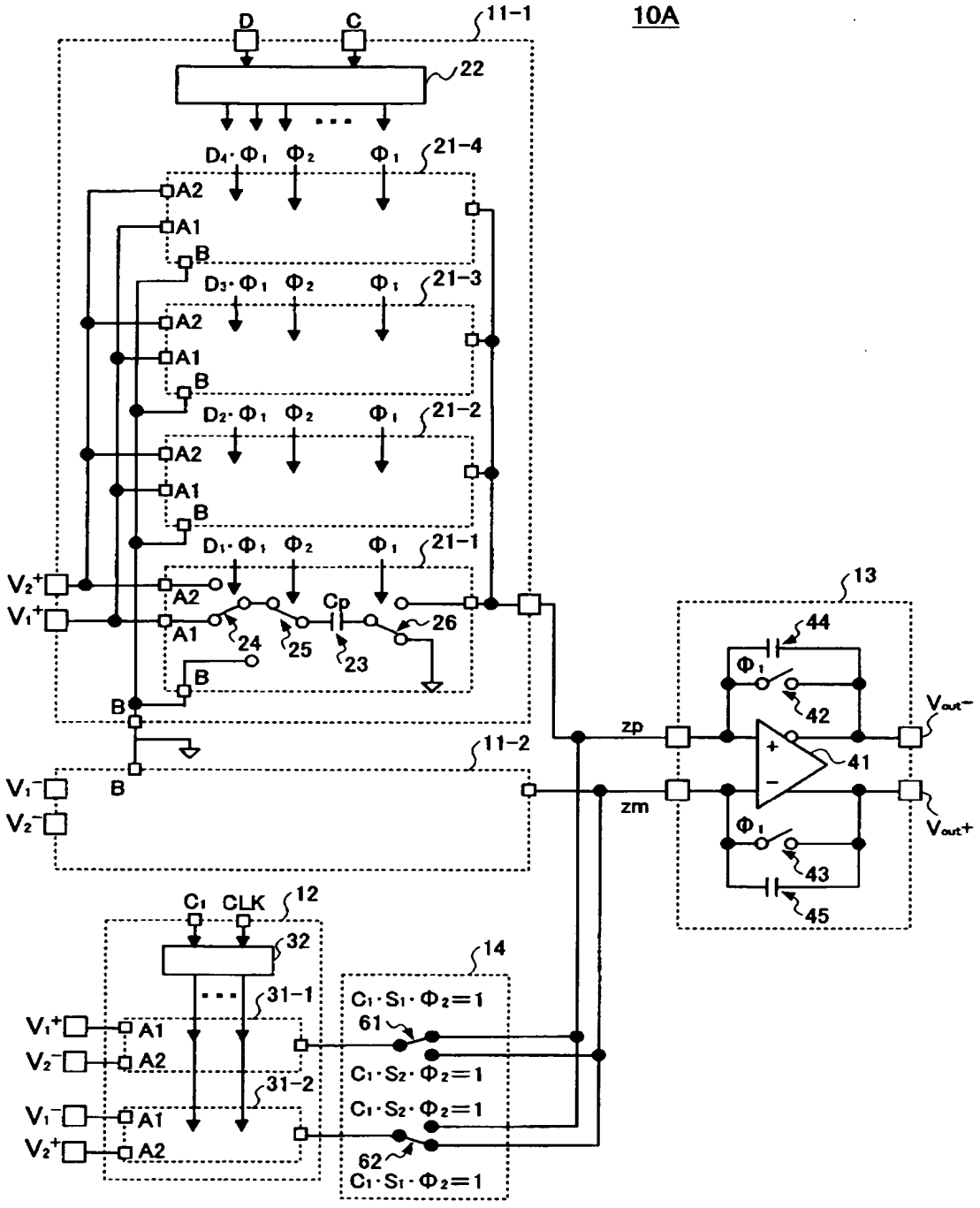
【図５】

スイッチトキャパシタ回路へ供給する制御信号と、制御信号に応じて第１の期間に記憶される電圧と、その電圧に基づいて第２の期間において出力される差動出力電圧についての表を示す図

制御信号				第1の期間に記憶する電圧				第2の期間の差動出力電圧 $V_{out}^{+}-V_{out}^{-}$	
D4	D3	D2	D1	C1	M1(zp側)	M1(zm側)	M2(zp側)	M2(zm側)	
0	0	0	0	1	$4V_1^{+}$	$4V_1^{-}$	$V_1^{+}+V_2^{-}$	$V_1^{-}+V_2^{+}$	$\frac{5\cdot(V_1^{+}-V_1^{-})-(V_2^{+}-V_2^{-})}{4}$
0	0	0	1	1	$3V_1^{+}+V_2^{+}$	$3V_1^{-}+V_2^{-}$	$V_1^{+}+V_2^{-}$	$V_1^{-}+V_2^{+}$	$\frac{4\cdot(V_1^{+}-V_1^{-})}{4}$
0	0	1	1	1	$2V_1^{+}+2V_2^{+}$	$2V_1^{-}+2V_2^{-}$	$V_1^{+}+V_2^{-}$	$V_1^{-}+V_2^{+}$	$\frac{3\cdot(V_1^{+}-V_1^{-})+1\cdot(V_2^{+}-V_2^{-})}{4}$
0	1	1	1	1	$V_1^{+}+3V_2^{+}$	$V_1^{-}+3V_2^{-}$	$V_1^{+}+V_2^{-}$	$V_1^{-}+V_2^{+}$	$\frac{2\cdot(V_1^{+}-V_1^{-})+2\cdot(V_2^{+}-V_2^{-})}{4}$
1	1	1	1	1	$4V_2^{+}$	$4V_2^{-}$	$V_1^{+}+V_2^{-}$	$V_1^{-}+V_2^{+}$	$\frac{1\cdot(V_1^{+}-V_1^{-})+3\cdot(V_2^{+}-V_2^{-})}{4}$

【図６】

図1に示すスイッチトキャパシタ回路の変形例を示す図



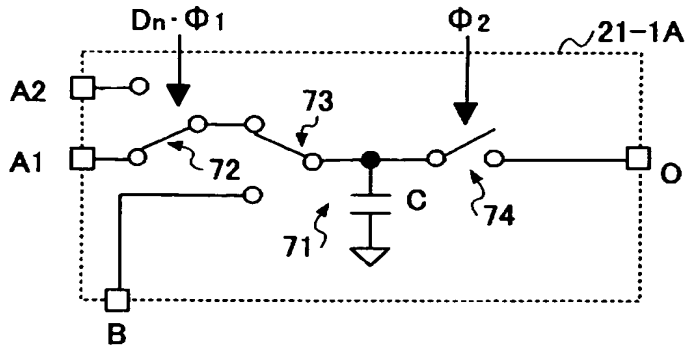
【図７】

図6のスイッチトキャパシタ回路へ供給する制御信号と、制御信号に応じて第1の期間に記憶される電圧と、その電圧に基づいて第2の期間において出力される差動出力電圧についての表を示す図

制御信号						第1の期間に記憶する電圧			第2の期間の差動出力電圧 $V_{out}^{+}-V_{out}^{-}$		
D4	D3	D2	D1	C1	S1	S2	M1(zp側)	M1(zm側)	M2(zp側)	M2(zm側)	
0	0	0	0	1	1	0	$4V_1^{+}$	$4V_1^{-}$	$V_1^{+}+V_2^{-}$	$V_1^{-}+V_2^{+}$	$\frac{5\cdot(V_1^{+}-V_1^{-})-(V_2^{+}-V_2^{-})}{4}$
0	0	0	0	1	0	0	$4V_1^{+}$	$4V_1^{-}$	$V_1^{+}+V_2^{-}$ (加算せず)	$V_1^{-}+V_2^{+}$ (加算せず)	$\frac{4\cdot(V_1^{+}-V_1^{-})}{4}$
0	0	0	1	1	0	0	$3V_1^{+}+V_2^{+}$	$3V_1^{-}+V_2^{-}$	$V_1^{+}+V_2^{-}$ (加算せず)	$V_1^{-}+V_2^{+}$ (加算せず)	$\frac{3\cdot(V_1^{+}-V_1^{-})+1\cdot(V_2^{+}-V_2^{-})}{4}$
0	0	1	1	1	0	0	$2V_1^{+}+2V_2^{+}$	$2V_1^{-}+2V_2^{-}$	$V_1^{+}+V_2^{-}$ (加算せず)	$V_1^{-}+V_2^{+}$ (加算せず)	$\frac{2\cdot(V_1^{+}-V_1^{-})+2\cdot(V_2^{+}-V_2^{-})}{4}$
0	1	1	1	1	0	0	$V_1^{+}+3V_2^{+}$	$V_1^{-}+3V_2^{-}$	$V_1^{+}+V_2^{-}$ (加算せず)	$V_1^{-}+V_2^{+}$ (加算せず)	$\frac{1\cdot(V_1^{+}-V_1^{-})+3\cdot(V_2^{+}-V_2^{-})}{4}$
1	1	1	1	1	0	0	$4V_2^{+}$	$4V_2^{-}$	$V_1^{+}+V_2^{-}$ (加算せず)	$V_1^{-}+V_2^{+}$ (加算せず)	$\frac{4\cdot(V_2^{+}-V_2^{-})}{4}$
1	1	1	1	1	0	1	$4V_2^{+}$	$4V_2^{-}$	$V_1^{+}+V_2^{-}$	$V_1^{-}+V_2^{+}$	$\frac{-(V_1^{+}-V_1^{-})+5\cdot(V_2^{+}-V_2^{-})}{4}$

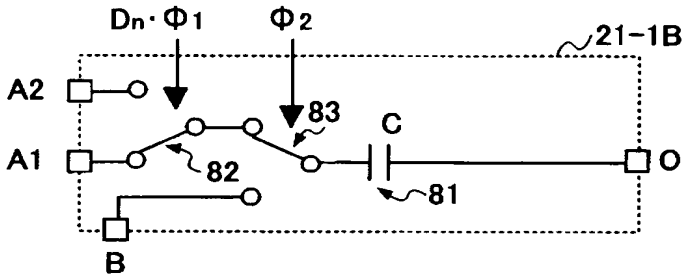
【図８】

図１に示す容量回路の別の実施例を示す図



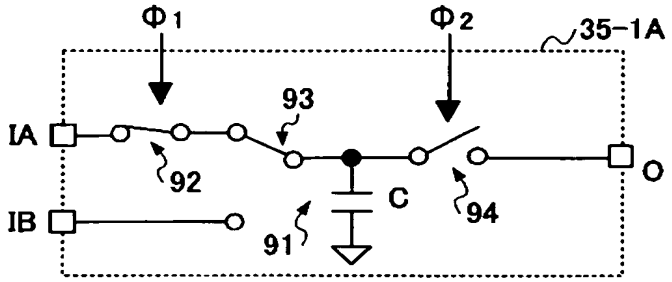
【図９】

図１に示す容量回路の更に別の実施例を示す図



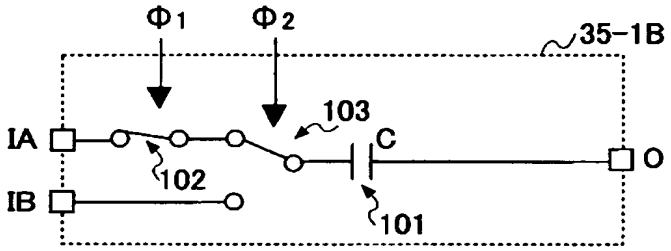
【図１０】

図4に示す容量回路の別の実施例を示す図



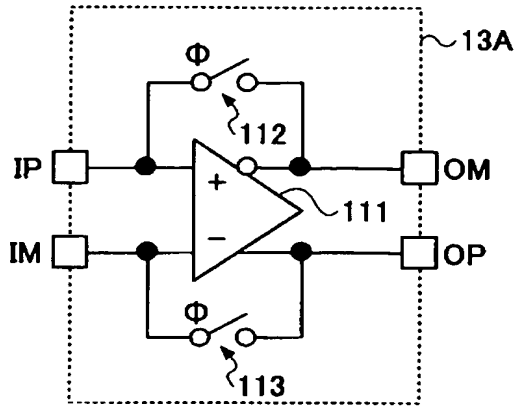
【図１１】

図4に示す容量回路の更に別の実施例を示す図



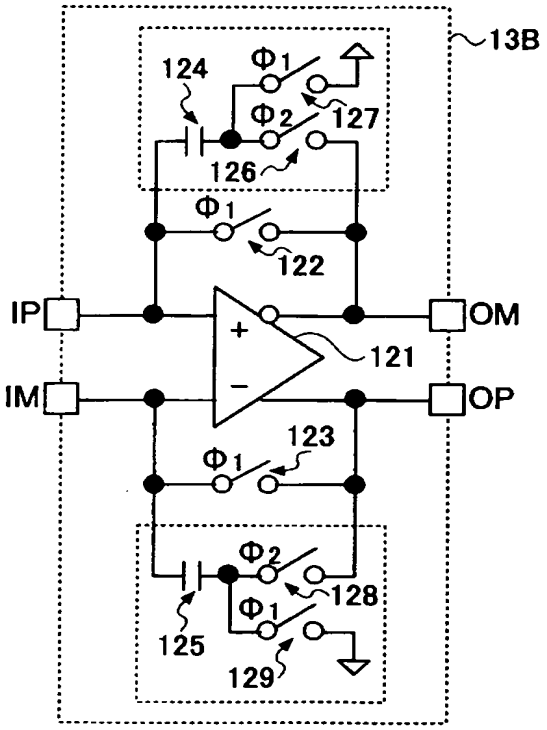
【図１２】

図1に示す増幅回路の別の実施例を示す図



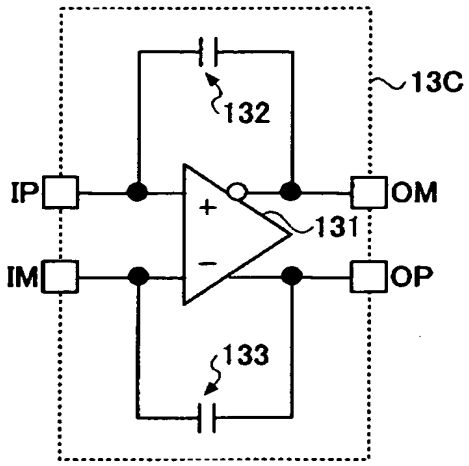
【図１３】

図1に示す増幅回路の更なる別の実施例を示す図



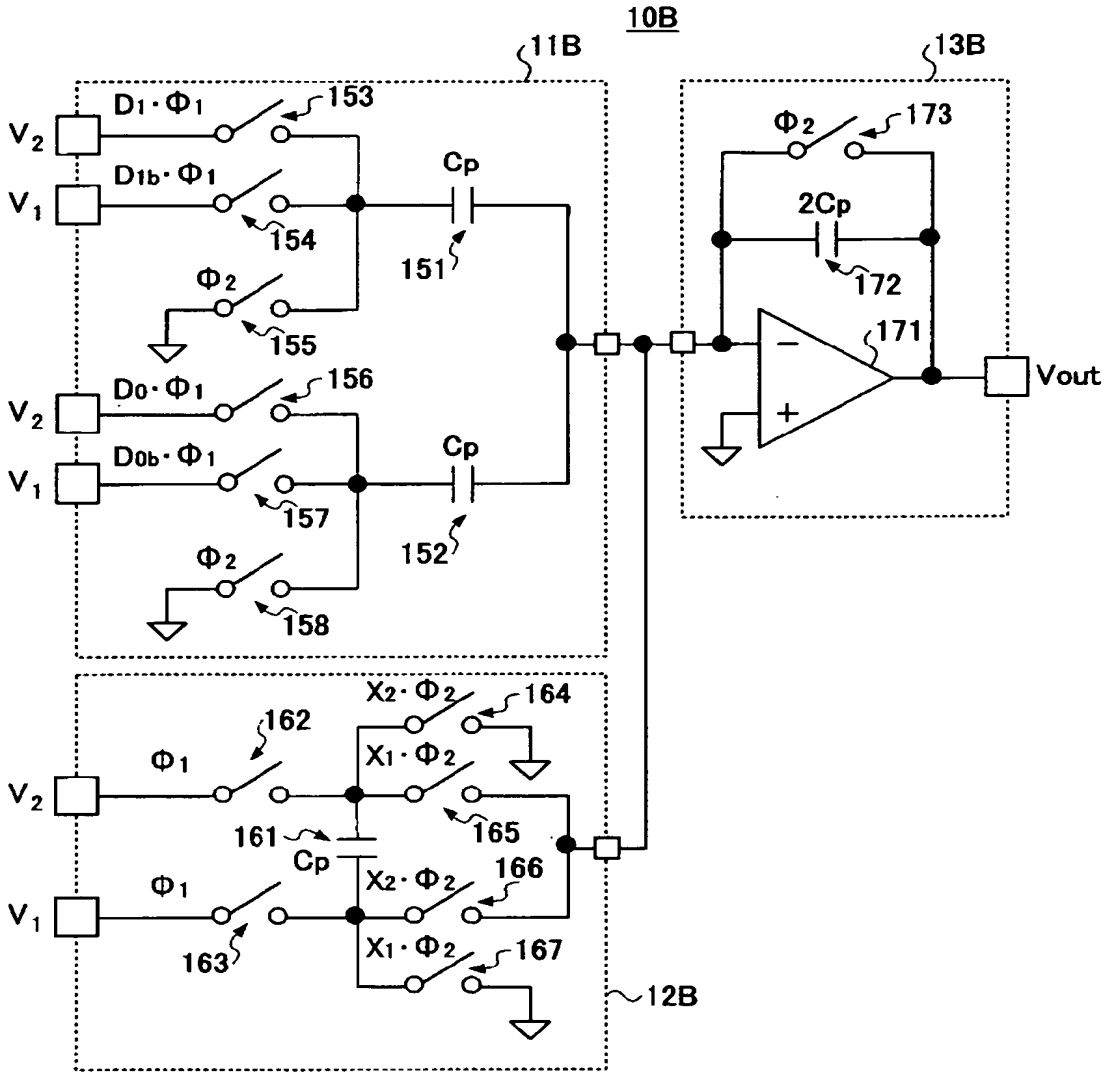
【図１４】

図１に示す増幅回路の更なる別の実施例を示す図



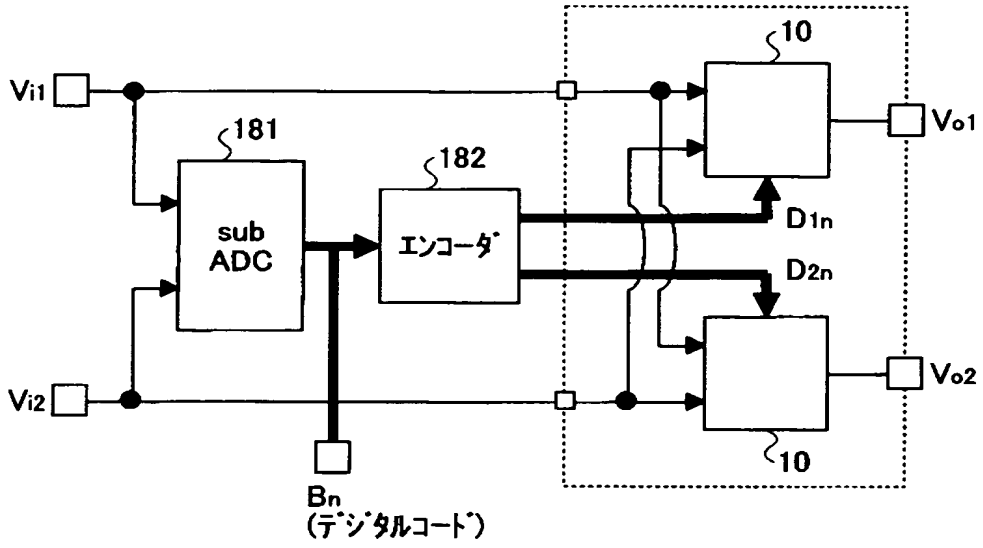
【図１５】

本発明による単一信号構成のスイッチトキャパシタ回路の構成を示す図



【図１６】

本発明によるスイッチトキャパシタ回路を使用したA／D変換器の構成の一例を示す図



【書類名】　要約書

【要約】

【課題】本発明は、高精度に外分電圧を生成できる低消費電力且つ小面積な集積回路を提供することを目的とする。

【解決手段】集積回路は、デジタル信号に応じた第１のアナログ電圧と第２のアナログ電圧との重み付け和に対応する第１の電荷量を保持する内分回路と、第１のアナログ電圧と第２のアナログ電圧との差に対応する第２の電荷量を保持する外分回路と、第１の電荷量と２の電荷量との和に応じた電圧を増幅して第１のアナログ電圧から第２のアナログ電圧までの範囲外の電圧を生成する増幅回路を含む。

【選択図】図１

特願２００２－３６２４７１

出　願　人　履　歴　情　報

識別番号　　［０００００５２２３］

１．変更年月日　　１９９６年　３月２６日
［変更理由］　　住所変更
住　所　　神奈川県川崎市中原区上小田中４丁目１番１号
氏　名　　富士通株式会社